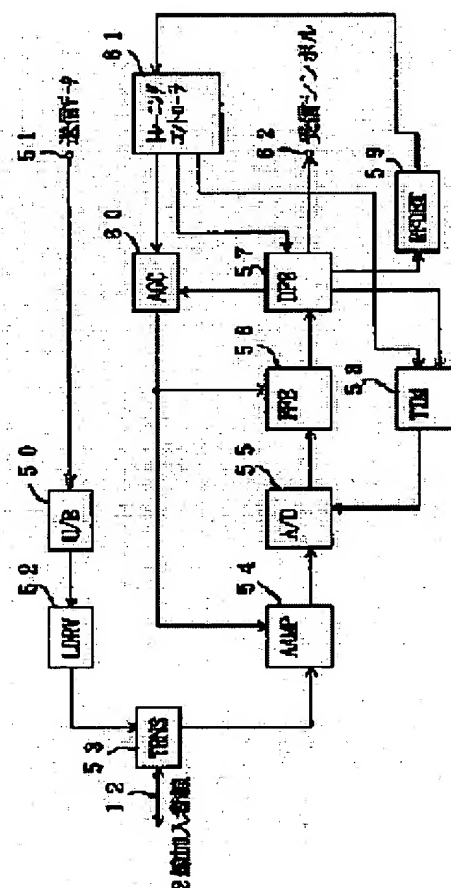


LINE TERMINATION CIRCUIT

Patent number: JP8331018
Publication date: 1996-12-13
Inventor: AWATA YUTAKA; KOIZUMI NOBUKAZU; MANABE ATSUSHI; TSUNOISHI MITSUO
Applicant: FUJITSU LTD
Classification:
 - international: H04B3/10; H03H21/00; H04L5/16
 - european:
Application number: JP19950132304 19950530
Priority number(s):

Abstract of JP8331018

PURPOSE: To attain stable training without being affected by near end crosstalk with a simple circuit configuration by adopting digital signal processing for reception processing such as line equalization and timing recovery.
CONSTITUTION: An analog amplifier 54 with variable gain receives a reception signal. An A/D converter 55 converts the output signal of the analog amplifier into a digital signal. A pre-line equalizer 56 whose transfer function is variable equalizes the output signal of the A/D converter. A decision feedback equalizer 57 equalizes the output signal of the pre-line equalizer to decide a reception symbol. A gain control circuit 60 controls variably a gain of the analog amplifier and a transfer function of the pre-line equalizer in response to a min cursor tap coefficient of the decision feedback equalizer.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-331018

(43)公開日 平成8年 (1996) 12月13日

| (51)Int. Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|----------|---------------|--------|
| H 0 4 B 3/10 | | | H 0 4 B 3/10 | C |
| H 0 3 H 21/00 | | 8842-5 J | H 0 3 H 21/00 | |
| H 0 4 L 5/16 | | | H 0 4 L 5/16 | |

審査請求 未請求 請求項の数4 O L (全 11 頁)

| | | | |
|----------|-------------------|---------|---|
| (21)出願番号 | 特願平7-132304 | (71)出願人 | 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号 |
| (22)出願日 | 平成7年 (1995) 5月30日 | (72)発明者 | 栗田 豊 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内 |
| | | (72)発明者 | 小泉 伸和 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内 |
| | | (74)代理人 | 弁理士 伊東 忠彦 |

最終頁に続く

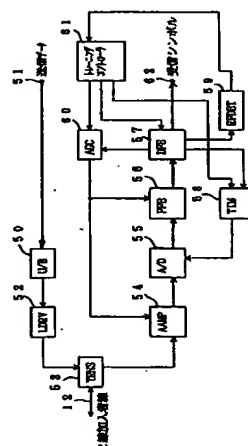
(54)【発明の名称】 線路終端回路

(57)【要約】

【目的】 本発明は線路終端回路に関し、線路等化及びタイミング再生等の受信処理をデジタル信号処理で行い、簡単な回路構成で近端漏話の影響を受けることなく安定したトレーニングを行うことができることを目的とする。

【構成】 アナログアンプ54は、利得可変の受信信号を供給される。A/D変換器55は、上記アナログアンプの出力信号をデジタル信号に変換する。伝達関数可変の前置線路等化器56は、上記A/D変換器の出力信号を等化する。判定帰還型等化器57は、上記前置線路等化器の出力信号を等化し受信シンボルの判定を行う。利得制御回路60は、上記判定帰還型等化器のメインカーソル・タップ係数に応じて上記アナログアンプの利得及び前置線路等化器の伝達関数を可変制御する。

本発明回路のブロック図



【特許請求の範囲】

【請求項1】 ピンポン伝送方式によりデジタル伝送を行うデジタル加入者線伝送システムの線路終端回路において、

受信信号を供給される利得可変のアナログアンプと、上記アナログアンプの出力信号をデジタル信号に変換するA/D変換器と、

上記A/D変換器の出力信号を等化する伝達関数可変の前置線路等化器と、

上記前置線路等化器の出力信号を等化し受信シンボルの判定を行う判定帰還型等化器と、

上記判定帰還型等化器のメインカーソル・タップ係数に応じて上記アナログアンプの利得及び前置線路等化器の伝達関数を可変制御する利得制御回路とを有することを特徴とする線路終端回路。

【請求項2】 請求項1記載の線路終端回路において、前記判定帰還型等化器のプリカーソル・タップ係数を用いてタイミング再生を行い、前記A/D変換器のサンプリングタイミングを制御するタイミング再生回路を有することを特徴とする線路終端回路。

【請求項3】 請求項1記載の線路終端回路において、前記判定帰還型等化器の出力する受信シンボルからトレーニングパターンと上り及び下りのフレーム同期信号を検出し、受信バースト信号を生成する受信フレーム検出回路を有し、下りの受信信号バーストフレームのトレーニングパターンを用いてトレーニングを行うことを特徴とする線路終端回路。

【請求項4】 請求項1又は2又は3記載の線路終端回路において、前記利得制御回路は、前記アナログアンプの利得を最小値から順に増大させ、上記アナログアンプの出力信号が前記A/D変換器のダイナミックレンジを越えないように制御することを特徴とする線路終端回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は線路終端回路に関し、局と加入者との間でピンポン伝送方式によりデジタル伝送を行うデジタル加入者線伝送システムの線路終端回路に関する。

【0002】

【従来の技術】 図9はデジタル加入者線伝送システムの構成図を示す。同図中、局側には局内回線終端装置(OCU)10が設けられ、加入者側にはデジタル回線終端装置(DSU)11が設けられ、この間は2線加入者線12で接続される。

【0003】 OCU10は加入者線12に対する線路終端回路(LT)15と、交換機17に対するインタフェース回路(CT)16とを有している。DSU11は加入者線12に対する線路終端回路(LT)20と、ディ

ジタル宅内機器23等の加入者端末に対するユーザ・インタフェース回路であるCT21及びINF22とを有している。

【0004】 上記のOCU10とDSU11の間では加入者線12を介して図10に示す如きピンポン伝送方式の双方向伝送を行う。ピンポン伝送方式は時分割方向制御伝送方式とも呼ばれ、送信と受信とを時分割で行う。送信側では信号を約1/2に時間圧縮した送信バースト信号として伝送し、受信側では受信信号を約2倍に時間伸長することで連続的な原信号を得る。加入者線12上のビットレートは例えば320kbpsである。

【0005】 上記のバースト信号のフレーム構成を図11に示す。図中のワード#1～#20を用いて2B+D(64kbps+64kbps+16kbps=144kbps)のデータを伝送し、これらの先頭にフレーム同期信号と監視ビットが設けられている。このバースト信号は加入者線12上ではAMI符号に符号化されている。

【0006】 デジタル加入者線伝送システムでは通信を行う毎に、LT15、20を初期設定するために通信に先立ちトレーニングを行う。このトレーニングのためのビットパターンを図12(A)、(B)に示す。DSU11のLT20をトレーニングする同図(A)のパターンをトレーニングパターンと呼び、OCU10のLT15をトレーニングする同図(B)のパターンを逆トレーニングパターンと呼ぶ。いずれのパターンも1/8ビットパターンと呼ばれる“10000000”の繰り返しを基本としている。

【0007】 トレーニングは、図13に示す手順で行われる。まずOCU10からトレーニングパターンを送出してDSU11のLT20をトレーニングし、LT20のトレーニング終了後、DSU11から逆トレーニングパターンを送出してOCU10のLT15の受信機能をトレーニングして、このLT15のトレーニング終了後OCU10とDSU11との間で通信を開始する。

【0008】 図14は従来のLTのブロック図を示す。同図中、粗調傾斜アンプ31、粗調平坦アンプ32、微調平坦アンプ33、AGC回路34は線路等化回路を構成しており、AGC回路34の制御により粗調傾斜アンプ31、粗調平坦アンプ32、微調平坦アンプ33夫々の利得を切換えて線路特性の等化を行う。フィルタ35は受信信号帯域外の雑音を除去する低域フィルタである。

【0009】 ところで、加入者線にはブリッジタップ(BT)と呼ばれる先端が開放の分岐線が存在する場合がある。そのような線路でデジタル信号を伝送しようとする場合、本来の信号にさらにBTの先端で反射した信号(エコー)が遅延して重畳されることになり、そのエコーは受信信号にとっては符号間干渉となるため線路等化特性を著しく劣化させる。このBTによる符号間干

渉成分を等化するために加算アンプ36、コンパレータ37、BT等化器38、D/A変換器39からなるBT等化回路を備えている。

【0010】BT等化器38ではエコーを打消すための疑似エコー（エコーレプリカ）のデジタルコードを発生し、このデジタルコードをD/A変換器39でアナログ信号に変換して加算アンプで受信信号に加算することによりエコーをキャンセルする。コンパレータ37は加算アンプ出力を複数のしきい値と比較してAGC回路34、BT等化器38、及びタイミング抽出部41の制御情報となる信号を生成している。タイミング抽出部41はデジタルPLLで構成されコンパレータ37出力（例えば、受信信号の最大レベルの75%のレベルをしきい値としたときの出力である75%スライス信号）から受信タイミングを示す受信クロックを生成している。上記のAGC回路34、BT等化器38、タイミング抽出部41はデジタル回路で構成され、その他の回路はアナログ回路で構成されている。

【0011】

【発明が解決しようとする課題】ところで、加入者線は、本来アナログ（音声）信号の伝送を対称としているため、高周波成分を持つデジタル信号を伝送する場合、近接する線路からの漏話（近端漏話）が生じることがある。しかし一般的にピンポン伝送では、OCU側でバースト位相の管理を行い、送受の切り換えタイミングを同一ケーブル内の全システムに渡って一致させることにより近端漏話の影響を無視することが出来ると言われる。しかし、DSU側でトレーニングを行っている場合に、その近接する線から漏話がある場合にはその限りではない。

【0012】図15(A)～(G)では3組のOCU及びDSUについて通信またはトレーニングを行っている様子を示している。まずOCU10aとDSU11a間では通信を行っており、送信信号バーストSが線路遅延により遅れ受信信号バーストRとなっている。また、OCU10bとDSU11b間でも同様である。ここで各OCU間では送信信号バーストが一致するよう管理することで、例えばDSU11bからDSU11aへの近端漏話Nが存在しても、それはDSU11aの送信信号バーストの位相にほぼ重なるため、バーストフレーム同期がとれ受信バーストフレームを認識しているDSU11aの受信の妨げにはならない。ところがOCU10c、DSU11c間がトレーニングを行っており、受信機能の準備が終わっていないDSU11cにとっては受信信号バーストRと近端漏話Nのどちらが本来の受信信号かの区別をつけるのが困難だからである。

【0013】この問題に対する従来のLTでの対処は送受検出回路40で行っており、その動作を以下に説明する。

① 受信信号、近端漏話の区別をせずAGC回路34をト

レーニングする。

② コンパレータ37の出力する50%スライス信号を使用しトレーニングパターンの検出を行い、トレーニングパターンを検出した場合にはその受信フレームのみを使用しAGC回路34から再トレーニングを行う。

【0014】③ トレーニングパターンを検出出来ない（受信信号<近端漏話）場合には、コンパレータ37の出力する75%スライス信号を使用し近端漏話雑音のフレームを検出し、そのフレーム以外でAGC回路34から再トレーニングを行う。このように、従来のLTでは各適応回路31～34、38の制御情報としてしきい値レベル数が限られたコンパレータ出力を利用しているため、制御範囲や制御速度が限定されたものとなっていた。またそれを改善するためにしきい値レベルを増やそうとしてもそのコンパレータ37がアナログ回路であるため限度があるという問題があった。

【0015】本発明は上記の点に鑑みなされたもので、線路等化及びタイミング再生等の受信処理をデジタル信号処理で行い、簡単な回路構成で近端漏話の影響を受けることなく安定したトレーニングを行うことができる線路終端回路を提供することを目的とする。

【0016】

【課題を解決するための手段】請求項1に記載の発明は、ピンポン伝送方式によりデジタル伝送を行うデジタル加入者線伝送システムの線路終端回路において、受信信号を供給される利得可変のアナログアンプと、上記アナログアンプの出力信号をデジタル信号に変換するA/D変換器と、上記A/D変換器の出力信号を等化する伝達関数可変の前置線路等化器と、上記前置線路等化器の出力信号を等化し受信シンボルの判定を行う判定帰還型等化器と、上記判定帰還型等化器のメインカーソル・タップ係数に応じて上記アナログアンプの利得及び前置線路等化器の伝達関数を可変制御する利得制御回路とを有する。

【0017】請求項2に記載の発明は、請求項1記載の線路終端回路において、前記判定帰還型等化器のプリカーソル・タップ係数を用いてタイミング再生を行い、前記A/D変換器のサンプリングタイミングを制御するタイミング再生回路を有する。

【0018】請求項3に記載の発明は、請求項1記載の線路終端回路において、前記判定帰還型等化器の出力する受信シンボルからトレーニングパターンと上り及び下りのフレーム同期信号を検出し、受信バースト信号を生成する受信フレーム検出回路を有し、下りの受信信号バーストフレームのトレーニングパターンを用いてトレーニングを行う。

【0019】請求項4に記載の発明は、請求項1又は2又は3記載の線路終端回路において、前記利得制御回路は、前記アナログアンプの利得を最小値から順に増大させ、上記アナログアンプの出力信号が前記A/D変換

10

20

30

40

50

器のダイナミックレンジを越えないように制御する。

【0020】

【作用】請求項1に記載の発明においては、信号の線路等化及びシンボル判定をディジタル信号処理によって行い、かつメインカーソル・タップ係数に応じて利得制御及び伝達関数制御を行うことにより、A/D変換の量子化精度を緩和しつつ、正確なA/D変換を行うことができ、利得制御回路の回路規模の増加を抑え、特性の向上及び安定化が可能となる。

【0021】請求項2に記載の発明においては、プリカーソル・タップ係数を用いてタイミング再生を行い、A/D変換のサンプリングタイミングを制御するため、受信信号のピーク値を正確に検出でき、シンボル判定を高精度に行うことができる。請求項3に記載の発明においては、受信シンボルからトレーニングパターンと上り及び下りのフレーム同期信号を検出し、受信バースト信号を生成するため、簡単な回路構成で下りの受信信号バーストフレームのトレーニングパターンだけを用いてトレーニングを行うことができ、近端漏話による誤ったトレーニングを防止でき、安定したトレーニングが可能となる。

【0022】請求項4に記載の発明においては、アナログアンプの利得を最小値から順に増大させ、A/D変換のダイナミックレンジを越えないように制御するため、正確なA/D変換を行うことが可能となる。

【0023】

【実施例】図1は本発明の一実施例のブロック図を示す。同図中、ユニポーラ/バイポーラ(U/B)変換器50は端子51から供給されるユニポーラ信号の2値送信データをバイポーラ信号のAMI符号に変換してラインドライバ(LDRV)52に供給する。ラインドライバ52は供給されるバイポーラ信号で加入者線12を駆動するべく電力増幅を行い、トランス53を通してバイポーラ信号を加入者線12に送出する。トランス(TRNS)53は2線/4線変換を行う。

【0024】加入者線12から入来するAMI符号の受信信号はトランス53を通してアナログアンプ(AAMP)54に供給される。アナログアンプ54はAGC回路55から供給されるゲインコードに従って利得を可変するもので、ここで増幅されたアナログのAMI符号の受信信号はA/D変換器55でディジタル化された後、前置線路等化器(フィードフォワード・イコライザ:F

$$H1(Z^{-1}) = k_{10} + k_{11}Z^{-1} + k_{12}Z^{-2} + k_{13}Z^{-3} + \dots$$

$$H2(Z^{-1}) = k_{20} + k_{21}Z^{-1} + k_{22}Z^{-2} + k_{23}Z^{-3} + \dots$$

$$H3(Z^{-1}) = k_{30} + k_{31}Z^{-1} + k_{32}Z^{-2} + k_{33}Z^{-3} + \dots$$

$$H7(Z^{-1}) = k_{70} + k_{71}Z^{-1} + k_{72}Z^{-2} + k_{73}Z^{-3} + \dots$$

$$H8(Z^{-1}) = k_{80} + k_{81}Z^{-1} + k_{82}Z^{-2} + k_{83}Z^{-3} + \dots$$

但し、 $k_{10} \sim k_{83}$ は定数である。

【0029】図3は判定帰還型等化器57のブロック図

FE)56に供給される。FFE56はAGC回路60から供給されるゲインコードに従って周波数特性を可変して受信信号の等化を行い、判定帰還型等化器(デシジョン・フィードバック・イコライザ:DFE)57に供給する。

【0025】判定帰還型等化器57は適応等化動作を行い受信シンボルを判定して受信フレーム検出回路(RFDET)59に供給すると共に、端子62から出力する。AGC(自動利得制御)回路60は判定帰還型等化器57のメインカーソル・タップ係数からアナログアンプ54及び前置線路等化器56の特性を設定するためのゲインコードを生成する。タイミング再生回路(TIM)58は判定帰還型等化器57のプリカーソル・タップ係数からサンプリング位相を設定するためのサンプリングパルスを生成する。受信フレーム検出回路59はトレーニング中に本来の受信信号バーストを検出し、この受信信号バーストでのみ受信機能を働かせるための上り又は下りの受信フレーム同期検出を行って、その検出信号を後続の各ブロックへ供給する。また、トレーニング

コントローラ61は受信フレーム検出回路59からの検出信号を供給されており、トレーニング時にAGC回路60及び判定帰還型等化器57の制御を行う。

【0026】図2はAGC回路60が出力するゲインコードに対するアナログアンプ54の利得、及び前置線路等化器56の伝達関数夫々の対応表を示す図である。この図2に示す如く、アナログアンプ54は、供給されるゲインコードが0~3のとき利得を-12dBに設定し、ゲインコードが4~7のとき利得を0dBとし、ゲインコードが8~12のとき利得を12dBとし、ゲインコードが13~15のとき利得を24dBとして設定する。

【0027】また、前置線路等化器56は供給されるゲインコードが0,1のとき伝達関数H1とし、ゲインコードが2,3のとき伝達関数H2とし、ゲインコードが4,5のとき伝達関数H3とし、ゲインコードが6,7のとき伝達関数H4とし、ゲインコードが8,9のとき伝達関数H5とし、ゲインコードが10,11のとき伝達関数H6とし、ゲインコードが12,13のとき伝達関数H7とし、ゲインコードが14,15のとき伝達関数H8として設定する。上記の伝達関数H1~H8を以下に示す。ここで、ZはZ演算子である。

【0028】

を示す。同図中、端子70には前置線路等化器56の出力信号 X_i が供給され、この信号 X_i は混合器71にお

いて加算器72から供給されるレプリカ信号 R_i を減算混合され等化信号 Y_i とされる。この等化信号は判定器73に供給されて ± 1 , 0かどうかの判定を行われ、ここで得られたシンボル a_i が端子74より出力される。

【0030】混合器76は次式で表わされるプリカーソル等化前の残留エラー e_i を演算する。

$$e_i(k) = Y(k) - a(k) \cdot C_0(k)$$

この残留エラー e_i は単位遅延素子77で遅延されて混合器78に供給され、ここで次式で表わされるプリカーソル等化後の残留エラー E_{i-1} が演算され、乗算器81, 82, 83, 84, 85, …夫々に供給される。

【0031】

$E_{i-1}(k) = e_i(k-1) - a(k) \cdot C_{i-1}(k)$
乗算器81と係数器86と混合器87と単位遅延素子88と乗算器89とで $C_{i-1} \cdot a_i$ を生成し、乗算器82と係数器96と混合器97と単位遅延素子98と乗算器99とで $C_0 \cdot a_i$ を生成している。また、単位遅延素子100, 101と、乗算器83と係数器106と混合器107と単位遅延素子108と乗算器109とで $C_1 \cdot a_{i-1}$ を生成し、単位遅延素子102と、乗算器84と係数器116と混合器117と単位遅延素子118と乗算器119とで $C_2 \cdot a_{i-2}$ を生成し、単位遅延素子103と、乗算器85と係数器126と混合器127と単位遅延素子128と乗算器129とで $C_3 \cdot a_{i-3}$ を生成し、加算器72で次式で表わされるレプリカ信号 R_i を生成している。

【0032】

【数1】

$$R(k) = \sum_{n=1}^N [C_n(k) \cdot a(k-n)]$$

【0033】また、混合器87の出力する C_{i-1} が位相情報として端子130より出力される。また、タップ係数の更新は引き込み開始時に次式で表わされるLMSアルゴリズムで行い、

$C_n(k+1) = C_n(k) + \alpha \cdot a(k-n-1) \cdot E_{k-1}$
引き込み後の定常状態では次式で表わされるSignLMSアルゴリズムで行う。

【0034】 $C_n(k+1) = C_n(k) + \text{Sgn}[\alpha \cdot a(k-n-1) \cdot E_{k-1}]$

但し、 $n = -1 \sim N$

つまり、判定帰還型等化器57は、図4に実線で示す如き前置線路等化器56の出力信号を供給され、この信号からポストカーソルのタップ係数 C_1 , C_2 , C_3 のレプリカ信号を減算して除去した後、メインカーソルのセンタータップ係数 C_0 から判定器73でシンボル a_i を判定している。

【0035】判定器73はメインカーソル・タップ係数 C_0 の50%のしきい値を持っている。AGC回路60は判定帰還型等化器のメインカーソル・タップ係数 C_0 が目標値となるようなゲインコードを出力してアナログ

アンプ54の利得及び前置線路等化器56の伝達関数の制御を行う。このようにメインカーソル・タップ係数 C_0 を制御情報として用いることにより回路規模の増加を抑えることができる。

【0036】図5はタイミング再生回路58のブロック図を示す。同図中、端子140には位相情報として判定帰還型等化器57のプリカーソル・タップ係数 C_{i-1} が供給される。係数器141, 142と混合器143, 145と、単位遅延素子144はデジタル信号処理型のループ・フィルタを構成しており、その出力信号は係数器146を通して混合器147と、単位遅延素子148と、コンパレータ149とよりなる位相制御情報発生部に供給され、コンパレータ149出力がサンプリング位相情報として端子150から出力される。

【0037】このタイミング再生回路58は図4に示すプリカーソル・タップ係数 C_{i-1} が0のときメインカーソル・タップ係数 C_0 が最大値となるので、プリカーソル・タップ係数 C_{i-1} が正のときサンプリング位相を遅らし、タップ係数 C_{i-1} が負のときサンプリング位相を進めるよう制御し、このサンプリング位相制御信号をA/D変換器55に供給する。

【0038】図6は受信フレーム検出回路59のブロック図を示す。同図中、端子155には判定帰還型等化器57から受信シンボルが供給される。1/8ビットパターン相関器156は、順次供給される受信シンボルと、トレーニングパターンである1/8ビットパターン“10000000”との相関演算を行うことにより1/8ビットパターンの検出を行い、その検出時に1/8ビットパターン検出信号を端子157より出力する。フレーム同期信号検出回路158は順次供給される受信シンボルが上りのフレーム同期信号“1000000M”又は下りのフレーム同期信号“1000000M0”と一致したとき上り又は下りのフレーム同期検出信号を生成して端子159から出力する。ただし、Mはフレーム毎に“0”と“1”とが交番する。

【0039】受信バースト生成回路160は、フレーム同期信号検出回路158で検出したフレーム同期信号をもとに、本来の受信信号が存在する受信バーストを生成し、端子161から出力することによって、受信バーストのみで受信機能(AGC, DFE, TIM)を動作させる機能を持つ。すなわち図7(A)に示すように、本来の受信信号である下りフレーム同期信号を検出し、図7(B)にハイレベルで示す下りバースト信号を生成したときには、そのハイレベルの部分で受信機能(AGC, DFE, TIM)を動作させ、また近端漏話である上りフレーム同期信号を検出し、図7(C)にハイレベルで示す上りバースト信号を生成したときには、図7(D)に示すその反転信号のハイレベルの部分で受信機能(AGC, DFE, TIM)を動作させる。

【0040】次に、トレーニングコントローラ61によ

るトレーニング処理のフローチャートを図8に示す。図8において、トレーニング開始時にはステップS10でAGC回路60のゲインコードを最小値0とし、判定帰還型等化器57の判定器73の判定レベルをA/D変換器55のダイナミックレンジの1/2以下の適切な値で固定する。

【0041】次にステップS12で1/8ビットパターン相関器158から1/8ビットパターン検出信号が供給されたか否かを判別する。1/8ビットパターン検出信号が供給されてなければステップS14に進んでAGC回路60のゲインコードを1だけ増加させた後、再びステップS12に進む。これによってアナログアンプ54の利得が徐々に増大される。このようにアナログアンプ54の初期利得を0から徐々に増大させるため、A/D変換器55の入力信号レベルがA/D変換器60のダイナミックレンジを越えることを防止でき、常時正確なA/D変換を行うことができる。

【0042】ステップS12で1/8ビットパターン検出が行われると、ステップS16に進んで、判定帰還型等化器57の判定器73の判定レベルをメインカーソルの1/2のレベルに設定し、AGC回路60、アナログアンプ54、判定帰還型等化器57、タイミング再生回路58夫々の適応動作を行わせる。次にステップS18で上り又は下りのフレーム同期検出信号が供給されたか否かを判別する。フレーム同期が検出されていない場合はステップS16に進み、ステップS16、S18を繰り返す。

【0043】ステップS18で上りのフレーム同期検出信号が供給されている場合はステップS20に進み、上りバースト反転信号がハイレベルの部分の受信信号に対し、判定器73の判定レベルをメインカーソルの1/2のレベルに設定し、AGC回路60、アナログアンプ54、判定帰還型等化器57およびタイミング再生回路58の受信機能の適応動作を行う。その後ステップS22で下りフレームを検出するまで、上りバースト反転信号がハイレベルの部分の受信信号に対し受信機能の適応動作を行うが、ステップS22で下りフレームを検出すると、ステップS24で下りバースト信号がハイレベルの部分の受信信号に対し受信機能の適応動作を行い、トレーニング処理を終了する。

【0044】また、ステップS18で下りのフレーム同期検出信号が供給されている場合はステップS24に直接進み、下りバースト信号がハイレベルの部分の受信信号に対し、判定器73の判定レベルをメインカーソルの1/2のレベルに設定し、AGC回路60、アナログアンプ54、判定帰還型等化器57およびタイミング再生回路58の受信機能の適応動作を行いトレーニング処理を終了する。

【0045】このように、ステップS18で1/8ビットパターンの検出有無を判別しているため、通信を行

っている線路からの近端漏話によりトレーニングを行うことを防止できる。しかし、トレーニングを行っている線路からの近端漏話があれば、上記ステップS18だけではトレーニングパターンの受信信号バーストRか、トレーニングを行っている線路からの近端漏話Nかを判別できず、近端漏話Nを用いてトレーニングしてしまい、次のステップS18で上りの受信フレーム同期検出がなされる場合がある。このような場合は検出した上りの受信フレーム同期信号の受信信号バースト以外の受信信号バーストが本来のトレーニングパターンの受信信号バーストであるため、検出した上りの受信フレーム同期信号の受信信号バーストの受信終了を待つて再度トレーニングを行い正確なトレーニングを行うことが可能となる。

【0046】また、トレーニング中においてもタイミング再生回路58を動作させることで受信信号のピーク値をサンプリングすることができ、シンボル判定の誤りを低減できる。

【0047】

【発明の効果】上述の如く、請求項1に記載の発明によれば、信号の線路等化及びシンボル判定デジタル信号処理によって行い、かつメインカーソル・タップ係数に応じて利得制御及び伝達関数制御を行うことにより、A/D変換の量子化精度を緩和しつつ、正確なA/D変換を行うことができ、利得制御回路の回路規模の増加を抑え、特性の向上及び安定化が可能となる。

【0048】また、請求項2に記載の発明によれば、プリカーソル・タップ係数を用いてタイミング再生を行い、A/D変換のサンプリングタイミングを制御するため、受信信号のピーク値を正確に検出でき、シンボル判定を高精度に行うことができる。

【0049】また、請求項3に記載の発明によれば、受信シンボルからトレーニングパターンと上り及び下りのフレーム同期信号を検出し、受信バースト信号を生成するため、簡単な回路構成で下りの受信信号バーストフレームのトレーニングパターンだけを用いてトレーニングを行うことができ、近端漏話による誤ったトレーニングを防止でき、安定したトレーニングが可能となる。

【0050】また、請求項4に記載の発明によれば、アナログアンプの利得を最小値から順に増大させ、A/D変換のダイナミックレンジを越えないように制御するため、正確なA/D変換を行うことが可能となり、実用上きわめて有用である。

【図面の簡単な説明】

【図1】本発明回路のブロック図である。

【図2】ゲインコードとアナログアンプゲイン及び伝達関数との対応を示す図である。

【図3】判定帰還型等化器のブロック図である。

【図4】本発明を説明するための図である。

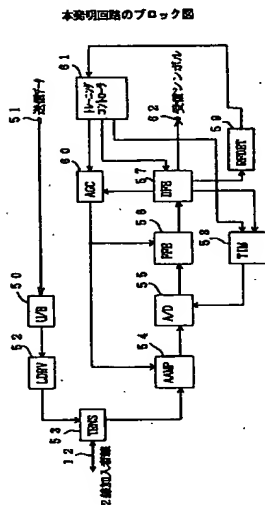
【図5】タイミング再生回路のブロック図である。

【図6】受信フレーム検出回路のブロック図である。

- 【図7】図6の回路動作を説明するための図である。
 【図8】トレーニング処理のフローチャートである。
 【図9】デジタル加入者線伝送システムの構成図である。
 【図10】ピンポン伝送を説明するための図である。
 【図11】バースト信号のフレーム構成図である。
 【図12】トレーニングパターンを示す図である。
 【図13】トレーニング手順を示す図である。
 【図14】従来回路のブロック図である。
 【図15】近端漏話を説明するための図である。
 【符号の説明】

- 50 バイポーラ／ユニポーラ変換器
 52 ラインドライバ
 53 トランス
 54 アナログアンプ
 55 A/D変換器
 56 前置線路等化器
 57 判定帰還型等化器
 58 タイミング再生回路
 59 受信フレーム検出回路
 10 60 AGC回路
 61 トレーニングコントローラ

【図1】

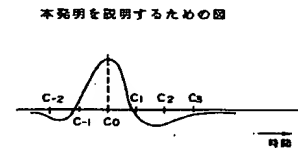


【図2】

ゲインコードとアナログアンプゲイン
 及び伝達関数との対応を示す図

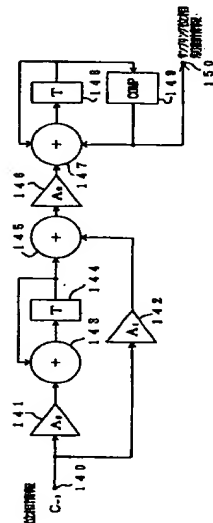
| ゲインコード | AMP (dB) | FF 伝達関数 |
|--------|-------------|------------|
| 0 | -1.2 | H1 |
| 1 | -1.2 | H1 |
| 2 | -1.2 | H2 |
| 3 | -1.2 | H2 |
| 4 | 0 | H3 |
| 5 | 0 | H3 |
| 6 | 0 | H4 |
| 7 | 0 | H4 |
| 8 | 1.2 | H5 |
| 9 | 1.2 | H5 |
| 10 | 1.2 | H6 |
| 11 | 1.2 | H6 |
| 12 | 2.4 | H7 |
| 13 | 2.4 | H7 |
| 14 | 2.4 | H8 |
| 15 | 2.4 | H8 |

【図4】

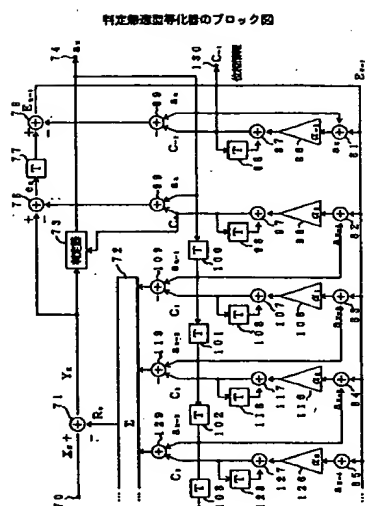


【図5】

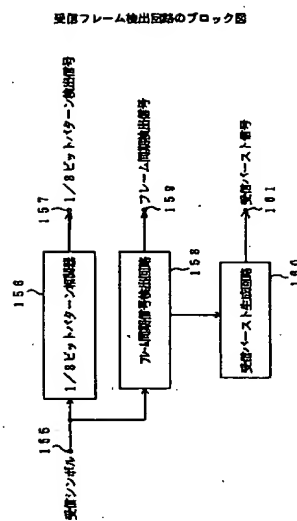
タイミング再生回路のブロック図



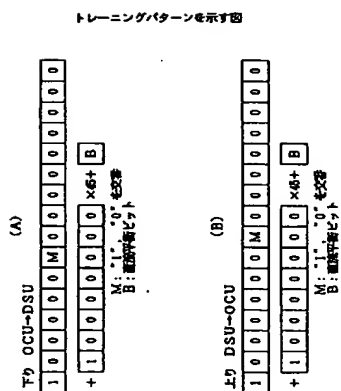
【図 3】



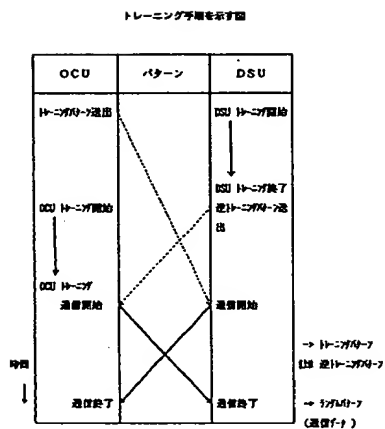
【图6】



【图 1 2】

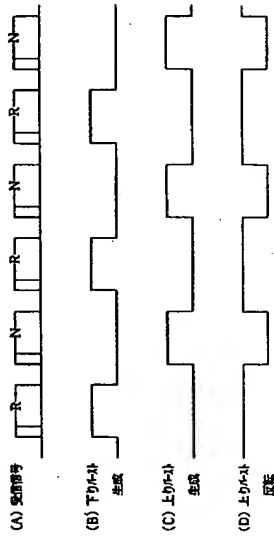


【図 13】



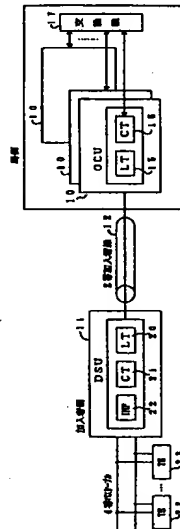
【図7】

図8の回路動作を説明するための図



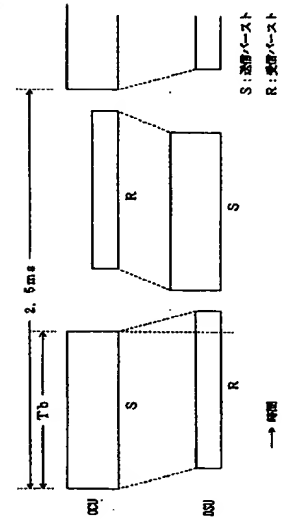
【図9】

ディジタル加入者線伝送システムの構成図



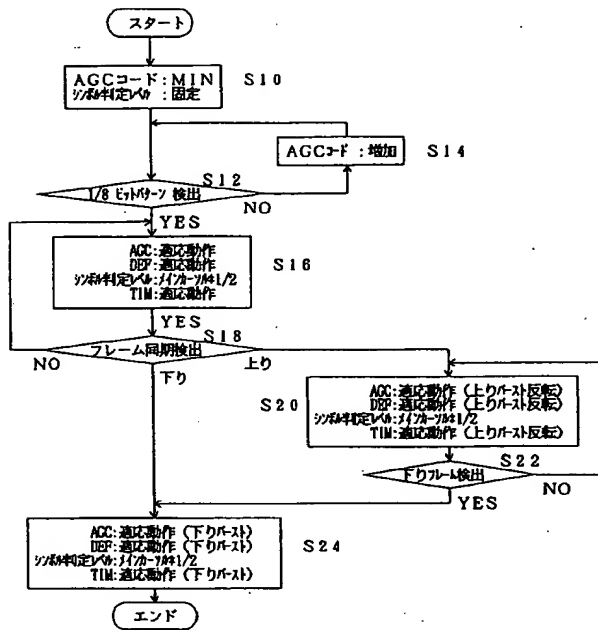
【図10】

ピンポン伝送を説明するための図



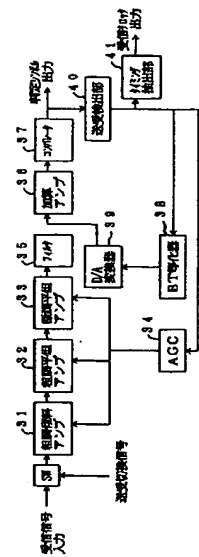
【図8】

トレーニング処理のフローチャート

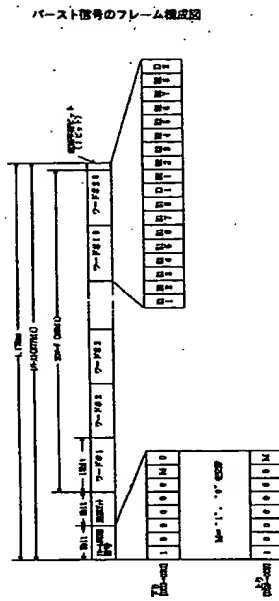


【図14】

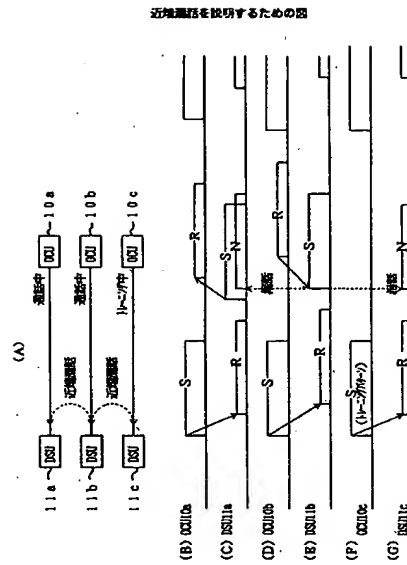
従来回路のブロック図



【図11】



【図15】



フロントページの続き

(72)発明者 真鍋 厚
栃木県小山市城東3丁目28番1号 富士通
デジタル・テクノロジー株式会社内

(72)発明者 角石 光夫
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内